

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年11月10日
Date of Application:

出願番号 特願2003-379401
Application Number:

ST. 10/C]: [JP2003-379401]

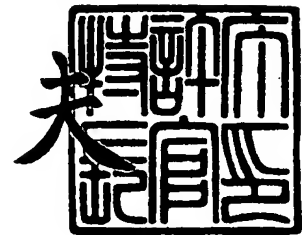
願人 株式会社リコー
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3029772



【書類名】 特許願
【整理番号】 0306082
【提出日】 平成15年11月10日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/108
H01L 21/8234

【発明者】
【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内
【氏名】 吉田 雅昭

【発明者】
【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内
【氏名】 上田 尚宏

【発明者】
【住所又は居所】 東京都大田区中馬込 1丁目3番6号 株式会社リコー内
【氏名】 貴島 正人

【特許出願人】
【識別番号】 000006747
【氏名又は名称】 株式会社リコー

【代理人】
【識別番号】 100085464
【弁理士】
【氏名又は名称】 野口 繁雄

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 79121
【出願日】 平成15年 3月20日

【先の出願に基づく優先権主張】
【出願番号】 特願2003-196847
【出願日】 平成15年 7月15日

【手数料の表示】
【予納台帳番号】 037017
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9808801

**【書類名】 特許請求の範囲****【請求項 1】**

同一基板に 3 種類以上のウエルを備え、そのうちの 1 種類のウエルは他のウエルよりも表面高さが高く、かつ他のウエルの少なくとも 1 種類のウエルに対して自己整合的に隣接して形成されており、

前記他のウエルは互いに導電型、不純物濃度又は接合深さが異なることによって種類が異なり、かつ同一表面高さに形成されている 2 種類以上のウエルを含んでいることを特徴とする半導体装置。

【請求項 2】

前記他のウエルは互いに不純物濃度の異なる 2 種類以上のウエルを含んでいる請求項 1 に記載の半導体装置。

【請求項 3】

前記他のウエルのうち少なくとも 1 種類は高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されている請求項 2 に記載の半導体装置。

【請求項 4】

前記他のウエルは互いに接合深さの異なる 2 種類以上のウエルを含んでいる請求項 1 に記載の半導体装置。

【請求項 5】

前記他のウエルのうち、接合深さの深いウエルにはそれよりも浅い反対導電型ウエルが形成されたトリプルウエルを含んでいる請求項 4 に記載の半導体装置。

【請求項 6】

前記 1 種類のウエルと前記他のウエルとは導電型が異なる請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなる MOS トランジスタを含んでいる請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】

各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなる MOS トランジスタを含んでおり、トリプルウエルに形成された MOS トランジスタは電源回路を構成する MOS トランジスタ、基板ノイズの影響を受け易い回路を構成する MOS トランジスタ及びノイズ発生源となる回路を構成する MOS トランジスタのうちのいずれかである請求項 5 に記載の半導体装置。

【請求項 9】

以下の工程 (A) から (G) を含んで 3 種類以上のウエルを同一基板に形成する過程を含んだことを特徴とする半導体装置の製造方法。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程 (A) の後、第 1 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 1 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程 (B) の後、酸化性雰囲気中で熱処理を施すことによって、前記シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程 (B) で半導体基板中に導入された不純物イオンを拡散させ、第 1 ウエルを形成する工程。

(D) 工程 (C) の後、前記シリコン窒化膜を除去し、前記熱酸化膜上を含む半導体基板上に第 2 シリコン窒化膜を形成し、前記第 2 シリコン窒化膜上に第 2 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記第 2 シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 2 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(E) 工程 (D) の後、工程 (C) と同一酸化条件で、酸化性雰囲気中で熱処理を施すことによって、前記第 2 シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程 (D) で半導体基板中に導入された不純物イオンを拡散させ、第 2 ウエルを形成する工程。

(F) 工程 (E) の後、前記第 2 シリコン窒化膜を除去した後、前記熱酸化膜をマスクとして自己整合的に、第 3 ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(G) その後、非酸化性雰囲気中で熱処理を施すことによって、前記第 3 ウエル領域を構成する不純物イオンを拡散させ、第 3 のウエルを形成する工程。

【請求項 10】

工程 (D) と (E) を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返す請求項 9 に記載の製造方法。

【請求項 11】

以下の工程 (A) から (F) を含んで 3 種類以上のウエルを同一基板に形成する過程を含んだことを特徴とする半導体装置の製造方法。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程 (A) の後、第 1 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 1 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程 (B) の後、第 2 ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の前記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第 2 ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(D) 工程 (B) , (C) の後、酸化性雰囲気中で熱処理を施すことによって、シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、この工程以前に半導体基板中に導入された不純物イオンを拡散させ、第 1 ウエル、第 2 ウエルを形成する工程。

(E) 工程 (D) の後、シリコン窒化膜を除去した後、前記熱酸化膜をマスクとして自己整合的に、第 3 ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(F) その後、非酸化性雰囲気中で熱処理を施すことによって、前記第 3 ウエル領域を構成する不純物イオンを拡散させ、第 3 のウエルを形成する工程。

【請求項 12】

工程 (B) は次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んでいる請求項 11 に記載の製造方法。

【請求項 13】

工程 (B) は前記非酸化性雰囲気中での熱処理の前に酸化性雰囲気中で熱処理を施して半導体基板表面に保護用酸化膜を形成する工程を含んでいる請求項 12 に記載の製造方法。

【請求項 14】

前記保護用酸化膜厚は 10 nm ~ 50 nm である請求項 13 に記載の製造方法。

【請求項 15】

工程 (B) を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返す請求項 11 から 14 のいずれかに記載の製造方法。

【請求項 16】

工程 (B) を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返した後、次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んでいる請求項 11 に記載の製造方法。

【請求項 17】

前記非酸化性雰囲気中での熱処理の前に酸化性雰囲気中で熱処理を施して半導体基板表



面に保護用酸化膜を形成する工程を含んでいる請求項 16 に記載の製造方法。

【請求項 18】

前記保護用酸化膜厚は 10 nm～50 nm である請求項 17 に記載の製造方法。

【請求項 19】

より深いウェルを先に形成する請求項 9 から 18 のいずれかに記載の製造方法。

【請求項 20】

最後の非酸化性雰囲気中での熱処理の前に、特定のウェル内にトリプルウェル領域を画定する写真製版でレジストパターンを形成した後、イオン注入によって、前記特定のウェルとは反対導電型の不純物イオンを前記特定のウェルよりも浅くなる条件で半導体基板に導入し、その後、レジストパターンを除去する工程を含んでいる請求項 9 から 19 のいずれかに記載の製造方法。

【請求項 21】

最後の非酸化性雰囲気中での熱処理を行わず、素子分離のためのフィールド酸化の際の熱処理により不純物を拡散させる請求項 9 から 20 のいずれかに記載の製造方法。

【書類名】明細書**【発明の名称】**複数種類のウエルを備えた半導体装置とその製造方法**【技術分野】****【0001】**

本発明は、同一基板に3種類以上のウエルを備えた半導体装置とその製造方法に関するものである。

【背景技術】**【0002】**

半導体製造プロセスにおけるウエル形成工程は、トランジスタの電気特性を左右するだけでなく、チップ面積や製造コストにまで影響を及ぼす極めて重要な部分である。これまではNウエル/Pウエルの2種類のウエル形成が一般的であったが、近年のデバイスの高機能化、複合混載化の要望を反映してNウエル/Pウエル以外に第3のウエルの混載が積極的に進められている。

【0003】

この第3のウエルの用途としては、

- (1) 濃度の薄いウエルを作り込むことで高耐圧素子の混載を可能にする、
- (2) 深い接合のウエルを作り込むことで2重ウエル、すなわちトリプルウエルを形成する、等が挙げられる。

【0004】

濃度の薄いウエルについては、導電型がN型の場合を「Lightly-Nウエル（ライトリー・エヌ・ウエル）」、P型の場合を「Lightly-Pウエル」と呼んでおり、高い電圧帯で動作する高耐圧素子のためには必要不可欠となっている。なお、本明細書において、ウエルの導電型を示す場合、単に「Nウエル」、「Pウエル」と称す。

【0005】

またトリプルウエルについては、負電源回路の混載やノイズ遮断が可能になるだけでなく、DRAM等の信頼性が向上することから、デジタル/アナログ混載LSIやメモリー混載LSIに広く採用されており、今日の携帯電話や携帯情報端末の普及に大きく貢献している。

【0006】

ウエルの種類が4つ、5つと増えた場合でもまったく同様に考えることができるので、ここでは3つのウエルに関して説明を行なう。3種類のウエルは「Nウエル/Pウエル/Lightly-Nウエル」であってもよいし、「Nウエル/Pウエル/Lightly-Pウエル」や「Nウエル/Pウエル/トリプルウエル」であってもよい。

【0007】

3種類のウエルを形成する方法として次の図13で説明する方法が提案されている（特許文献1参照。）。

(A) シリコン基板10に窒化膜1を堆積し、Lightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

そのレジストパターン2をマスクにしてレジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いてリン3を基板10にイオン注入する。

【0008】

(B) レジストパターン2を除去した後、酸化性雰囲気中で熱処理を行なう。この熱処理により、窒化膜1の開口している領域に酸化膜4が成長するとともに、シリコン基板10に注入されたリン3はドライブインされLightly-Nウエル（Lightly-NW）5cが形成される。

【0009】

(C) 窒化膜1を除去しないでNウエル領域を画定する写真製版でレジストパターン7を形成する。

【0010】

(D) レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて

基板 10 にリン 8 を基板 10 にイオン注入する。

【0011】

(E) レジストパターン 7 を除去した後、酸化性雰囲気中で熱処理を行なう。この熱処理によりリン 8 が注入された領域に酸化膜 9 が成長するとともに、基板 10 に注入されたリン 8 はドライブインされ N ウェル (NW) 20 が形成される。

このとき、先に形成された酸化膜 4 は、露出しているため酸化膜 9 を形成するための熱処理の影響を受け、当初膜厚よりも厚い膜厚の酸化膜 4 c となり、Lightly-N ウェル 5 c の表面高さが低くなる。酸化膜 4 c の膜厚は酸化の条件によるが、酸化膜 4 を形成するための酸化条件と酸化膜 9 を形成するための酸化条件が同程度であるとすれば、酸化膜 4 c の膜厚は酸化膜 9 の膜厚の 2 倍程度になる。

【0012】

(F) 窒化膜 1 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 にイオン注入する。その際、既に形成されている酸化膜 4 c, 9 が注入マスクとして機能するようなイオン注入条件を選択する。その結果、酸化膜 4 c, 9 以外の領域が P ウェルとして画定する。

【0013】

(G) 窒素雰囲気中で熱処理を行なう。この熱処理により、ボロン 11 が拡散して P ウェル (PW) 12 が形成される。

その後、酸化膜 4 c, 9 を除去すれば、Lightly-N ウェル 5 c、N ウェル 20、P ウェル 12 の 3 つのウェルが完成する。

【0014】

しかし、この方法では酸化膜 4 c が酸化膜 9 よりも厚くなってしまいうので、最終的に両者を除去した後に、図 13 (G) に破線の円 13 で示すように、P ウェル 12 と Lightly-N ウェル 5 c との間に大きな段差ができてしまう。この段差が大きいと、ここを横断するポリシリコンやメタル等の配線が断線する虞ができてしまう。また、この段差が写真製版の焦点深度を超えてしまうとデバイス形成が非常に困難なものになってしまう。

【0015】

そのようなウェル間の段差を小さくする方法として、1 つのウェルについて写真製版→イオン注入→酸化膜形成を 2 回に分けて行なう方法が提案されている (特許文献 2 参照) 。その方法では、2 回目のイオン注入は 1 回目に注入された領域の外周領域に行ない、また 2 回目の酸化による酸化膜の膜厚は 1 回目の酸化による酸化膜の膜厚より薄くする。そうすることで段差がなだらかな 2 段型になり段差をまたぐ配線の断線が防止できる、というものである。

しかしながら、この方法では 1 つのウェル作るために写真製版→イオン注入→酸化膜形成を 2 回繰り返す必要があり製造工程が長くなってしまいう。

【0016】

【特許文献 1】 特表昭 61-502993 号公報

【特許文献 2】 特許第 2795565 号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

以上のように、3 種類以上のウェルを少ない製造工程で段差が小さくなるように形成する有効な方法は知られておらず、そのような半導体装置も知られていない。

本発明はこの点に鑑みてなされたものであり、3 種類以上のウェルが段差の小さい形状で形成された半導体装置と、そのような半導体装置を少ない製造工程で製造する方法を提供することを目的とするものである。

【課題を解決するための手段】

【0018】

本発明の半導体装置は、同一基板に 3 種類以上のウェルを備え、そのうちの 1 種類のウェルは他のウェルよりも表面高さが高く、かつ他のウェルの少なくとも 1 種類のウェルに

対して自己整合的に隣接して形成されており、上記他のウエルは互いに導電型、不純物濃度又は接合深さが異なり同一表面高さに形成された2種類以上のウエルを含んでいることを特徴とするものである。

この半導体装置では、3種類以上のウエルを備えているが、段差は1段だけであるので、従来のように2段階の段差を含んでいるのに比べると最大の段差を小さくすることができ、段差を横断する配線が断線するのを防ぐことができ、写真製版の焦点深度を超えるのも防ぐことができる。

【0019】

この半導体装置を製造する本発明製造方法の第1の態様は、以下の工程(A)から(G)を含んで3種類以上のウエルを同一基板に形成する過程を含んでいる。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程(A)の後、第1ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第1ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程(B)の後、酸化性雰囲気中で熱処理を施すことによって、上記シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程(B)で半導体基板中に導入された不純物イオンを拡散させ、第1ウエルを形成する工程。

(D) 工程(C)の後、上記シリコン窒化膜を除去し、上記熱酸化膜上を含む半導体基板上に第2シリコン窒化膜を形成し、上記第2シリコン窒化膜上に第2ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第2ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(E) 工程(D)の後、工程(C)と同一酸化条件で、酸化性雰囲気中で熱処理を施すことによって、上記第2シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、工程(D)で半導体基板中に導入された不純物イオンを拡散させ、第2ウエルを形成する工程。

(F) 工程(E)の後、上記第2シリコン窒化膜を除去した後、上記熱酸化膜をマスクとして自己整合的に、第3ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(G) その後、非酸化性雰囲気中で熱処理を施すことによって、上記第3ウエル領域を構成する不純物イオンを拡散させ、第3のウエルを形成する工程。

【0020】

この半導体装置を製造する本発明製造方法の第2の態様は、以下の工程(A)から(F)を含んで3種類以上のウエルを同一基板に形成する過程を含んでいる。

(A) 半導体基板上にシリコン窒化膜を形成する工程。

(B) 工程(A)の後、第1ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第1ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(C) 工程(B)の後、第2ウエル領域を画定する写真製版でレジストパターンを形成した後、レジスト開口部の上記シリコン窒化膜をエッチング除去し、次いでイオン注入によって、第2ウエル領域を構成する不純物イオンを半導体基板に導入し、その後、レジストパターンを除去する工程。

(D) 工程(B), (C)の後、酸化性雰囲気中で熱処理を施すことによって、シリコン窒化膜で覆われていない領域の基板表面に熱酸化膜を形成すると同時に、この工程以前に半導体基板中に導入された不純物イオンを拡散させ、第1ウエル、第2ウエルを形成する工程。

(E) 工程(D)の後、シリコン窒化膜を除去した後、上記熱酸化膜をマスクとして自己整合的に、第3ウエル領域を構成する不純物イオンを半導体基板に導入する工程。

(F) その後、非酸化性雰囲気中で熱処理を施すことによって、上記第3 ウエル領域を構成する不純物イオンを拡散させ、第3のウエルを形成する工程。

この製造方法によれば、3種類以上のウエルを段差が1段だけになるように形成することができる。また、最後のウエル形成用のイオン注入はそれまでに形成された酸化膜をマスクとして自己整合的になされるので、写真製版工程を少なくすることができる。

【0021】

本発明において、半導体基板はシリコン基板自体の場合もあるし、シリコン基板上に形成されたエピタキシャル層である場合もある。したがって、本発明において、半導体基板又は基板という表現は、シリコン基板自体のみでなく、エピタキシャル層も含んでいる。

【0022】

本発明の半導体装置において、同一表面高さに形成された2種類以上のウエルは互いに不純物濃度の異なる2種類以上のウエルを含んだものとすることができる。その一例として、不純物濃度の異なる2種類以上のウエルのうちの少なくとも1種類は高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されているものとすることができる。

【0023】

また、同一表面高さに形成された2種類以上のウエルは互いに接合深さの異なる2種類以上のウエルを含んだものとすることができる。その一例として、接合深さの深いウエルにはそれよりも浅い反対導電型ウエルが形成されたトリプルウエルを形成したものを挙げることができる。

【0024】

各ウエルの導電型は任意に選択することができるが、例えば、1種類のウエルとそれ以外の同一表面高さに形成された2種類以上のウエルとは導電型が異なるものとすることができる。

【0025】

本発明の半導体装置の一例は、各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなるMOSトランジスタを含んだものとすることができる。

【0026】

本発明の半導体装置の他の例は、各種類のウエルに形成されたソース拡散層、ドレイン拡散層及び両拡散層間の領域上にゲート絶縁膜を介して形成されたゲート電極からなるMOSトランジスタを含んでおり、トリプルウエルに形成されたMOSトランジスタは電源回路を構成するMOSトランジスタ、基板ノイズの影響を受け易い回路を構成するMOSトランジスタ及びノイズ発生源となる回路を構成するMOSトランジスタのうちのいずれかとすることができる。

【0027】

本発明では、3種類以上のウエルに種々の半導体素子を形成したり、素子分離その他の目的に使用して種々の半導体装置を構成したりすることができる。

本発明の製造方法の第1の態様において、工程(D)と(E)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返すことができる。これにより4種類以上のウエルを形成することができる。

【0028】

本発明の製造方法の第2の態様において、工程(B)は次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含んだものとすることができる。その非酸化性雰囲気中での熱処理により、ウエルの表面高さを変えることなく、その熱処理工程より前に形成された拡散層の深さ、すなわち接合深さを深くすることができる。

【0029】

第2の態様において、工程(B)は上記非酸化性雰囲気中での熱処理の前に酸化性雰囲気中で熱処理を施して半導体基板表面に保護用酸化膜を形成する工程を含んだものとすることができる。これにより非酸化性雰囲気中での熱処理に起因する半導体基板の結晶欠陥

の発生を防止することができる。

【0030】

さらに、上記保護用酸化膜厚は10nm～50nmであるようにすることができる。これにより、不具合が発生する程度の大きさの段差を半導体基板表面に形成することなく、半導体基板の結晶欠陥の発生を防止することができる。

【0031】

第2の態様において、工程(B)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返すことができる。これにより4種類以上のウエルを形成することができる。

【0032】

第2の態様において、工程(B)を注入イオンの種類、量又は注入条件を異ならせて複数回繰り返した後、次のイオン注入を含む工程に進む前に非酸化性雰囲気中で熱処理を施す工程を含むこともできる。これにより4種類以上のウエルを形成するとともに、その非酸化性雰囲気中での熱処理により、ウエルの表面高さを変えることなく、その熱処理工程より前に形成された拡散層の接合深さを深くすることができる。

【0033】

さらに、上記非酸化性雰囲気中での熱処理の前に酸化性雰囲気中で熱処理を施して半導体基板表面に保護用酸化膜を形成する工程を含んだものとして行うことができる。これにより非酸化性雰囲気中での熱処理に起因する半導体基板の結晶欠陥の発生を防止することができる。

【0034】

さらに、上記保護用酸化膜厚は10nm～50nmであるようにすることができる。これにより、不具合が発生する程度の大きさの段差を半導体基板表面に形成することなく、半導体基板の結晶欠陥の発生を防止することができる。

【0035】

先に形成したウエルほど熱処理回数が増えてより接合深さが深くなるので、深いウエルほど先に形成するように順序を設定するのが好ましい。

トリプルウエルをもつ半導体装置を製造する場合は、最後の非酸化性雰囲気中での熱処理の前に、特定のウエル内にトリプルウエル領域を画定する写真製版でレジストパターンを形成した後、イオン注入によって、その特定のウエルとは反対導電型の不純物イオンをその特定のウエルよりも浅くなる条件で半導体基板に導入し、その後、レジストパターンを除去する工程を含むようにすればよい。

【0036】

最後の非酸化性雰囲気中での熱処理を行わずに、後工程で行なう素子分離のためのフィールド酸化の熱処理を兼ねることができる。フィールド酸化の熱処理では、ウエル上はシリコン窒化膜で被われるため、ウエル表面には酸化膜が形成されることはなく、したがってウエル表面の高さが変化することがない。このように、熱処理工程を兼用することにより、工程数をより少なくすることができる。

【発明の効果】

【0037】

請求項1から8にかかる本発明の半導体装置によれば、同一基板に3種類以上のウエルを備えているが、ウエルの表面高さは2種類であるので、段差が少なく、ウエル境界の段差部を横断する配線の信頼性の高い半導体装置となる。

請求項2にかかる本発明の半導体装置によれば、不純物濃度の異なる複数種類のウエルを含んでいるので、仕様に応じたトランジスタを形成するのが容易になる。

その一例は請求項3にかかる本発明の半導体装置であり、高耐圧トランジスタを形成するために必要な程度に不純物濃度が薄く設定されているウエルを備えている。

【0038】

請求項4にかかる本発明の半導体装置によれば、接合深さの異なる2複数種類のウエルを含んでいるので、仕様に応じたトランジスタを形成するのが容易になる。

請求項5、8にかかる本発明の半導体装置によれば、トリプルウエルを含んでいるので

、基板とは分離した、基板と同一導電型のウエルを形成できるので、負電源回路が搭載できる。また、基板ノイズに強くなるので、基板ノイズに敏感な回路を構成するトランジスタを作り込んだり、さらにはDC/DCコンバータのようなノイズ発生源となる回路を構成するトランジスタを作り込んだりすることによってそのような回路を同一チップに搭載することができるようになる。

【0039】

請求項6にかかる本発明の半導体装置によれば、1種類のウエルが他の複数のウエルと導電型が異なっているので、その1種類のウエルにトランジスタを形成できるだけでなく、他のウエル間の素子分離としても利用することができるようになる。

【0040】

請求項9にかかる本発明の製造方法によれば、複数のウエル領域に同じ酸化条件で酸化膜を形成する。請求項11にかかる本発明の製造方法によれば、複数のウエル領域に同一酸化工程で同じ酸化膜を形成する。このようにして形成された酸化膜は互いに膜厚が等しいので、それらのウエルの表面高さは等しくなる。そして、1種類のウエル（第3のウエル）はそれらの酸化膜をマスクとして自己整合的に形成する。このようにして、段差の少ないウエルを同一基板上に複数作成できるので、ウエル形成以降の半導体装置形成工程における写真製版のフォーカスマージンを確保できる。また、ウエル境界の段差部を横断する配線のショートや断線を防止できる。

また、1種類のウエルについては自己整合により形成するので、写真製版工程が1つ少なくなり、少ない製造工程で実現できる、

【0041】

請求項10と請求項15にかかる本発明の製造方法によれば、段差の少ないウエルを必要な数だけ作成できるので、複数デバイスに対して最適なウエルを作成することができる。

【0042】

請求項12にかかる本発明の製造方法によれば、複数作成するウエルプロファイルの設定自由度が向上する。

請求項16にかかる本発明の製造方法によれば、複数のウエルで非酸化性雰囲気中での熱処理を共通化するので、熱処理工程の数を減らすことができる。

【0043】

請求項13と請求項17にかかる本発明の製造方法によれば、非酸化性雰囲気中での熱処理を行なう場合であっても、保護用酸化膜を形成することにより、非酸化性雰囲気中での熱処理に起因する半導体基板の結晶欠陥の発生を防止することができる。

【0044】

請求項14と請求項18にかかる本発明の製造方法によれば、上記保護用酸化膜を形成する場合に、不具合が発生する程度の大きさの段差を半導体基板表面に形成することなく、半導体基板の結晶欠陥の発生を防止することができる。

【0045】

請求項19にかかる本発明の製造方法によれば、微細デバイスが作り込まれる浅いウエルに対して、深いウエル形成の影響を避けることができる。したがって、微細デバイス及びその回路のライブラリ化が可能となる。

【0046】

請求項20にかかる本発明の製造方法によれば、段差を減らした状態でトリプルウエルを含む半導体装置を形成することができる。

請求項21にかかる本発明の製造方法によれば、最後の非酸化性雰囲気中での熱処理を行わず、素子分離のためのフィールド酸化の際の熱処理により不純物を拡散させるので、熱処理工程を少なくすることができる。

【発明を実施するための最良の形態】

【0047】

以下、実施例について図面を参照して詳細に説明する。

(実施例 1)

図 1 は本発明の半導体装置の第 1 の実施例を表わす。

P 型シリコン基板 10 の表面には 3 種類のウエル 5, 12, 20 が形成されている。ウエル 20 は N 型不純物が導入されて形成された N ウエル (NW)、ウエル 5 はそれよりも不純物濃度の薄い Lightly-N ウエル (Lightly-NW) であり、互いに間隔をもって形成されている。ウエル 12 は基板 10 の不純物濃度よりも高濃度に P 型不純物が導入されて形成された P ウエル (PW) である。P ウエル 12 はウエル 5, 20 に隣接して自己整合的に形成されている。

【0048】

P ウエル 12 の表面高さはウエル 5, 20 の表面高さよりも高く、ウエル 5 とウエル 20 の表面高さは等しい。この 3 種類のウエル 5, 20, 12 の表面高さは 2 種類であり、段差は小さく抑えられている。

Lightly-N ウエル 5 と N ウエル 20 の間に形成された P ウエル 12 は素子分離の役目を果たしている。

【0049】

30 は素子分離用のフィールド酸化膜であり、各ウエル間の境界領域に形成されている。素子分離領域 30 で分離された素子領域のウエルには MOS トランジスタが形成されている。図で左端に描かれている P ウエル 12 には、N 型拡散層によりソース 34 とドレイン 36 が形成され、両拡散層 34, 36 の間の領域上には、ゲート酸化膜 31 を介してポリシリコンにてなるゲート電極 32 が形成されて N チャネル MOS トランジスタを構成している。

【0050】

N ウエル 20 ではその素子領域に P 型拡散層によるソース 40 とドレイン 42 が形成され、両拡散層 40, 42 の間の領域上には、ゲート酸化膜 37 を介してポリシリコンにてなるゲート電極 38 が形成されて P チャネル MOS トランジスタを構成している。

Lightly-N ウエル 5 ではその素子領域に P 型拡散層によるソース 46 とドレイン 48 が形成され、両拡散層 46, 48 の間の領域上には、ゲート酸化膜 43 を介してポリシリコンにてなるゲート電極 44 が形成されて P チャネル MOS トランジスタを構成している。

これらの MOS トランジスタを被うように層間絶縁膜 50 が形成され、コンタクトホールを介して各拡散層にメタル配線 52 が接続されている。

【0051】

(製造方法 1)

図 1 の半導体装置を製造する方法の一実施例を図 2 により説明する。

(A) シリコン基板 10 に窒化膜 (シリコン窒化膜) 1 を膜厚約 100 nm (ナノメートル) の厚さに堆積する。図示は省略しているが、半導体基板上に窒化膜を形成するときは、酸化膜を介して窒化膜を形成する。以下の実施例においても同様である。

窒化膜 1 上に Lightly-N ウエル領域を画定する写真製版でレジストパターン 2 を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン 3 を基板 10 にイオン注入する。

【0052】

(B) レジストパターン 2 を除去した後、酸化性雰囲気中、920℃で120分間熱処理を行なう。酸化性雰囲気とは酸素を含む雰囲気であり、例えば空気中又は酸素中である。この熱処理により、窒化膜 1 の開口している領域に酸化膜 4 が膜厚約 300 nm の厚さに成長するとともに、基板 10 に注入されたリン 3 はドライブインされ Lightly-N ウエル 5 が形成される。

【0053】

(C) 窒化膜 1 を除去した後、再度、窒化膜 (第 2 シリコン窒化膜) 6 を膜厚約 100 nm の厚さに堆積する。

【0054】

(D) Nウエル領域を画定する写真製版でレジストパターン7を形成する。

そのレジストパターン7をマスクにしてレジスト開口部分の窒化膜6をエッチング除去した後、イオン注入技術を用いて加速エネルギー160 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン8を基板10にイオン注入する。

【0055】

(E) レジストパターン7を除去した後、920℃の酸化性雰囲気中で120分間熱処理を行なう。この熱処理により、窒化膜6の開口している領域に酸化膜9が膜厚約300 nmの厚さに成長するとともに、基板10に注入されたリン8はドライブインされNウエル20が形成される。このとき、先に形成された酸化膜4は窒化膜6に覆われているため酸化が進行することはない。つまり、はじめに形成した膜厚約300 nmがそのまま維持される。

【0056】

(F) 窒化膜6を除去した後、イオン注入技術を用いてボロン11を基板10に自己整合的にイオン注入する。その際、既に形成されている酸化膜4, 9が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー30 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。この結果、酸化膜4, 9以外の領域がPウエルとして画定する。

【0057】

(G) 非酸化性雰囲気、例えば窒素雰囲気中で、1150℃で60分間の熱処理を行なう。これにより、ボロン11が拡散してPウエル12が形成される。

表面の酸化膜4, 9を除去すると、Lightly-Nウエル5、Nウエル20、Pウエル12の3つのウエルが完成する。

【0058】

なお、最後の1150℃での熱処理を行わず、ボロン11の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

Lightly-Nウエル5とNウエル20は酸化膜4, 9を形成したことで、その表面高さがPウエル12よりは低くなる。

【0059】

この方法の利点として、酸化膜4の膜厚が形成直後から変わらない点が挙げられる。すなわち、工程(B)で形成された酸化膜4は、その後、工程(C)で窒化膜6により覆われるので、後の工程(E)での酸化膜9の形成処理の影響を受けない。その結果、工程(B)と(E)での酸化条件を揃えることにより、酸化膜4の膜厚と酸化膜9の膜厚を等しくすることができる。このことは酸化膜4, 9を除去した後の形状、すなわち、(G)に示される状態において、Lightly-Nウエル5の表面高さ、Nウエル20の表面高さが等しくなることを意味する。これらのウエル5, 20の表面高さが等しければ、「Lightly-Nウエル5とPウエル12との段差」と「Nウエル20とPウエル12との段差」(ともに破線円13で図示)は同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに元々の酸化膜4, 9の膜厚がともに約300 nmであるので段差の絶対値としても問題になることはない。

【0060】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜30を形成し、ゲート酸化膜31, 37, 43を介してゲート電極32, 38, 44を形成し、ソース、ドレインのための拡散層34, 36, 40, 42, 46, 48を形成し、層間絶縁膜50を形成し、コンタクトホールを介してメタル配線52を形成すれば図1に示される半導体装置となる。

【0061】

(製造方法2)

図3も図1の半導体装置を形成するウエルを形成する方法を示したものであり、製造方法の他の実施例である。

(A) シリコン基板 10 に窒化膜 1 を膜厚約 100 nm の厚さに堆積し、Lightly-N ウエル領域を画定する写真製版でレジストパターン 2 を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン 3 を基板 10 にイオン注入する。

【0062】

(B) レジストパターン 2 を除去した後、N ウエル領域を画定する写真製版で再度レジストパターン 7 を形成する。

レジスト開口部分の窒化膜 1 をエッチング除去した後、イオン注入技術を用いて加速エネルギー 160 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン 8 を基板 10 にイオン注入する。

【0063】

(C) レジストパターン 7 を除去した後、920℃の酸化性雰囲気中で120分間熱処理を行なう。これにより、窒化膜 1 の開口している領域に酸化膜 4、9 が成長する。このとき、窒化膜 1 の開口している領域は「Lightly-N ウエル領域」と「N ウエル領域」の 2 つであるので、この両方が同時に酸化され膜厚約 300 nm の酸化膜 4、酸化膜 9 が同時に形成される。それと同時に基板 10 に注入されたリン 3、リン 8 が同時にドライブインされ、Lightly-N ウエル 5 と N ウエル 20 が形成される。

【0064】

(D) 窒化膜 1 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 に自己整合的にイオン注入する。その際、既に形成されている酸化膜 4、9 が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー 30 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。この結果、酸化膜 4、9 以外の領域が P ウエルとして画定する。

【0065】

(E) 非酸化性雰囲気、例えば窒素雰囲気中で、1150℃で60分間の熱処理を行なう。これにより、ボロン 11 が拡散して P ウエル 12 が形成される。

表面の酸化膜 4、9 を除去すれば Lightly-N ウエル 5、N ウエル 20、P ウエル 12 の 3 つのウエルが完成する。

なお、最後の 1150℃での熱処理を行わず、ボロン 11 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0066】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜 30 を形成し、ゲート酸化膜 31、37、43 を介してゲート電極 32、38、44 を形成し、ソース、ドレインのための拡散層 34、36、40、42、46、48 を形成し、層間絶縁膜 50 を形成し、コンタクトホールを介してメタル配線 52 を形成すれば図 1 に示される半導体装置となる。

【0067】

この方法の利点として、Lightly-N ウエル 5 の領域の酸化膜 4 と N ウエル 20 の領域の酸化膜 9 は同一工程で形成されるので、それらの酸化膜 4、9 の膜厚が等しい点が挙げられる。その結果、酸化膜 4、9 を除去した後の形状、すなわち、(E) に示される状態において、Lightly-N ウエル 5 の表面高さと、N ウエル 20 の表面高さが等しくなる。これらのウエル 5、20 の表面高さが等しいので、図 2 の実施例と同じく、「Lightly-N ウエル 5 と P ウエル 12 との段差」と「N ウエル 20 と P ウエル 12 との段差」は同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに酸化膜 4、9 の膜厚がともに約 300 nm であるので段差の絶対値としても問題になることはない。

【0068】

(実施例 2)

図 4 は半導体装置の第 2 の実施例を表わしたものである。図 1 の実施例の半導体装置と比較すると、Lightly-N ウエルが 2 種類となっている点で異なる。Lightly-N ウエル 5 a は Lightly-N ウエル 5 b よりも拡散深さ、すなわち接合深さが深くなっている。N ウエル 20 と Lightly-N ウエル 5 b の間、Lightly-N ウエル 5 a と Lightly-N ウエル 5

bの間にそれぞれPウエル12が自己整合的に形成されており、ウエル間の素子分離の役目をしている。

【0069】

この実施例においてもフィールド酸化膜30で分離された素子領域にそれぞれMOSトランジスタが形成されている。Lightly-Nウエル5aではP型拡散層によるソース46aとドレイン48aが形成され、両拡散層46a, 48aの間の領域上には、ゲート酸化膜43aを介してポリシリコンにてなるゲート電極44aが形成されてPチャネルMOSトランジスタを構成している。Lightly-Nウエル5bではP型拡散層によるソース46bとドレイン48bが形成され、両拡散層46b, 48bの間の領域上には、ゲート酸化膜43bを介してポリシリコンにてなるゲート電極44bが形成されてPチャネルMOSトランジスタを構成している。

これらのMOSトランジスタを被うように層間絶縁膜50が形成され、コンタクトホールを介して各拡散層にメタル配線52が接続されている。

【0070】

図4の半導体装置を製造するためのウエルを形成する方法を図5により説明する。

(A) シリコン基板10に窒化膜1を膜厚約100nmの厚さに堆積する。

その窒化膜1上に、第1のLightly-Nウエル領域を画定する写真製版でレジストパターン2aを形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン3aを基板10にイオン注入する。

【0071】

(B) レジストパターン2aを除去した後、非酸化性雰囲気、例えば窒素雰囲気、で、1150℃で3時間の熱処理を行なう。これにより、リン3aがドライブインされ第1のLightly-Nウエル5aが形成される。

【0072】

(C) 窒化膜1上に、第2のLightly-Nウエル領域を画定する写真製版で再度レジストパターン2bを形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $8 \times 10^{12} \text{ cm}^{-2}$ でリン3bを基板10にイオン注入する。

【0073】

(D) レジストパターン2bを除去した後、非酸化性雰囲気、例えば窒素雰囲気、で、1150℃で3時間の熱処理を行なう。これにより、リン3bがドライブインされ第2のLightly-Nウエル5bが形成される。この熱処理により、第1のLightly-Nウエル5aは、追加でドライブインされるため、工程(B)の段階より深くなる。

【0074】

(E) 次に、窒化膜1上に、Nウエル領域を画定する写真製版でレジストパターン7を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン8を基板10にイオン注入する。

【0075】

(F) レジストパターン7を除去した後、酸化性雰囲気、920℃で120分間熱処理を行なう。これにより、窒化膜1の開口している領域に酸化膜が成長する。このとき、窒化膜1の開口している領域は「第1のLightly-Nウエル領域」、「第2のLightly-Nウエル領域」及び「Nウエル領域」の3つであるのこれらの領域が同時に酸化され、膜厚約300nmの酸化膜4a、酸化膜4b、酸化膜9がそれぞれのウエル領域上に同時に形成される。それと同時に基板10に注入されたリン8がドライブインされ、Nウエル20が形成される。また、この熱処理により第1のLightly-Nウエル5aと第2のLightly-Nウエル5bは追加でドライブインされるため接合深さが深くなる。

【0076】

(G) 窒化膜 1 を除去した後、イオン注入技術を用いてボロン 11 を基板 10 に自己整合的にイオン注入する。その際、既に形成されている酸化膜 4 a、酸化膜 4 b、酸化膜 9 が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー 30 KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。その結果、酸化膜 4 a、酸化膜 4 b、酸化膜 9 以外の領域が P ウェルとして画定する。

【0077】

(H) 次に、非酸化性雰囲気、例えば窒素雰囲気、1150℃で60分間の熱処理を行なう。これにより、ボロン 11 が拡散して P ウェル 12 が形成される。また、この熱処理により第 1 の Lightly-N ウェル 5 a、第 2 の Lightly-N ウェル 5 b 及び N ウェル 20 は追加でドライブインされるため、それらの接合深さが深くなる。

なお、最後の 1150℃での熱処理を行わず、ボロン 11 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0078】

表面の酸化膜 4 a、酸化膜 4 b、酸化膜 9 を除去すると、第 1 の Lightly-N ウェル 5 a、第 2 の Lightly-N ウェル 5 b、N ウェル 20 及び P ウェル 12 の 4 つのウェルが完成する。

【0079】

その後、通常のプロセスに従って素子分離用のフィールド酸化膜 30 を形成し、ゲート酸化膜 31、37、43 a、43 b を介してゲート電極 32、38、44 a、44 b を形成し、ソース、ドレインのための拡散層 34、36、40、42、46 a、48 a、46 b、48 b を形成し、層間絶縁膜 50 を形成し、コンタクトホールを介してメタル配線 52 を形成すれば図 4 に示される半導体装置となる。

【0080】

この方法の利点として、第 1 の Lightly-N ウェル 5 a の領域の酸化膜 4 a、第 2 の Lightly-N ウェル 5 b の領域の酸化膜 4 b 及び N ウェル 20 の領域の酸化膜 9 は同一工程で形成されるので、それらの酸化膜 4 a、4 b、9 の膜厚が等しい点が挙げられる。その結果、酸化膜 4 a、4 b、9 を除去した後の形状、すなわち、(H) に示される状態において、第 1 の Lightly-N ウェル 5 a、第 2 の Lightly-N ウェル 5 b 及び N ウェル 20 の表面高さが全て等しくなる。これらのウェル 5 a、5 b、20 の表面高さが等しいので、「第 1 の Lightly-N ウェル 5 a と P ウェル 12 との段差」、「第 2 の Lightly-N ウェル 5 b と P ウェル 12 との段差」及び「N ウェル 20 と P ウェル 12 との段差」は全て同じ形状になり、この後の製造プロセスを進める上で都合がよい。さらに酸化膜 4 a、4 b、9 の膜厚がともに約 300 nm であるので段差の絶対値としても問題になることはない。

【0081】

図 5 に示されたこの実施例では、工程 (A) と (B) で示される写真製版、エッチング、イオン注入、レジスト除去及び非酸化性雰囲気中での熱処理の一連の工程を 2 回数繰り返すことで、合計 4 個のウェルを形成する方法を示したが、繰返し回数を任意に (n 回) 設定することで、(n+2) 個のウェルを段差の増加なしに形成することができる。

【0082】

また、工程 (B)、(D) での熱処理は省略して後の熱処理工程で兼ねるようにしてもよい。このように、途中での熱処理工程を挿入するかしないかを選択したり、熱処理時間を調整したりすることで、所望の深さのウェルを形成することができる。熱処理工程が複数になる場合は、より深くしたいウェルから先に形成すればよい。

【0083】

(実施例 3)

図 6 は半導体装置の第 3 の実施例を表わす。

図 1 の実施例の半導体装置と比較すると、Lightly-N ウェル 5 内に、Lightly-N ウェル 5 よりも浅い反対導電型 IP ウェル (IPW) 28 が形成されたトリプルウェル構造となっている点で異なる。

IPウエル28はLightly-Nウエル5によってP型のシリコン基板10から分離されており、基板10とは独立して電位をかけることができ、基板からのノイズの影響を受け難い性質をもつ。そのため、IPウエル28にはノイズ対策が必要とされる用途に使用されるMOSトランジスタや、負電源電圧用トランジスタなど、基板の影響を受けないMOSトランジスタを作り込むのに好都合である。

【0084】

IPウエル28にはその素子領域にN型拡散層によるソース56とドレイン58が形成され、両拡散層56、58の間の領域上には、ゲート酸化膜53を介してポリシリコンにてなるゲート電極54が形成されてNチャネルMOSトランジスタを構成している。

これらのMOSトランジスタを被うように層間絶縁膜50が形成され、コンタクトホールを介して各拡散層にメタル配線52が接続されている。

【0085】

図6の半導体装置を製造するためのウエルを形成する方法を図7と図8により説明する。

(A) シリコン基板10に窒化膜1を膜厚約100nmの厚さに堆積する。

その窒化膜1上に、Lightly-Nウエル領域を画定する写真製版でレジストパターン2を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $5 \times 10^{12} \text{ cm}^{-2}$ でリン3を基板10にイオン注入する。

【0086】

(B) レジストパターン2を除去した後、非酸化性雰囲気、例えば窒素雰囲気、1150℃で5時間の熱処理を行なう。これにより、リン3がドライブインされLightly-Nウエル5が形成される。

【0087】

(C) 次に、窒化膜1上に、Nウエル領域を画定する写真製版でレジストパターン7を形成する。

レジスト開口部分の窒化膜1をエッチング除去した後、イオン注入技術を用いて加速エネルギー160KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でリン8を基板10にイオン注入する。

【0088】

(D) レジストパターン7を除去した後、酸化性雰囲気、920℃で120分間熱処理を行なう。これにより、窒化膜1の開口している領域に酸化膜が成長する。このとき、窒化膜1の開口している領域は「Lightly-Nウエル領域」と「Nウエル領域」の2つであるので、この両方が同時に酸化され、膜厚約300nmの酸化膜9と酸化膜4がそれぞれのウエル領域上に同時に形成される。それと同時に基板10に注入されたリン8がドライブインされ、Nウエル20が形成されるとともに、先に形成されたLightly-Nウエル領域5の接合深さが深くなる。

【0089】

(E) 窒化膜1を除去した後、イオン注入技術を用いてボロン11を基板10に自己整合的にイオン注入する。その際、既に形成されている酸化膜9、酸化膜4が注入マスクとして機能するようなイオン注入条件を選択する。条件としては加速エネルギー30KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ が適当である。その結果、酸化膜9、酸化膜4以外の領域がPウエルとして画定する。

【0090】

(F) 非酸化性雰囲気、例えば窒素雰囲気、1150℃で60分間の熱処理を行なう。これにより、ボロン11が拡散してPウエル12が形成されるとともに、先に形成されたLightly-Nウエル領域5及びNウエル20の接合深さが深くなる。

表面の酸化膜9及び酸化膜4を除去すれば、Lightly-Nウエル5、Nウエル20及びPウエル12の3つのウエルが形成される。

【0091】

(G) その後、酸化性雰囲気、920℃で10分間熱処理することにより、基板10

上に約 20 nm の厚さの酸化膜 22 を形成する。その酸化膜 22 上に IP ウェル（深い Lightly-ウェル内の反対導電型の相対的に浅いウェル）領域を画定する写真製版でレジストパターン 24 を形成する。

レジスト開口部分からイオン注入技術を用いて加速エネルギー 180 KeV、注入量 $1.6 \times 10^{13} \text{ cm}^{-2}$ でボロン 26 を基板 10 にイオン注入する。

【0092】

(H) レジストパターン 24 を除去した後、非酸化性雰囲気、例えば窒素雰囲気、1000℃で160分間の熱処理を行なう。これにより、ボロン 26 が Lightly-N ウェル 5 内に拡散し、最終的に Lightly-N ウェル 5、N ウェル 20、P ウェル 12、IP ウェル 28 の計 4 つのウェルが形成される。

なお、最後の 1000℃での熱処理を行わず、ボロン 26 の拡散を素子分離として行なうフィールド酸化で兼用してもよい。

【0093】

その後、酸化膜 22 を除去し、通常のプロセスに従って素子分離用のフィールド酸化膜 30 を形成し、ゲート酸化膜 31、37、53 を介してゲート電極 32、38、54 を形成し、ソース、ドレインのための拡散層 34、36、40、42、56、58 を形成し、層間絶縁膜 50 を形成し、コンタクトホールを介してメタル配線 52 を形成すれば図 6 に示される半導体装置となる。

【0094】

この方法でも Lightly-N ウェル 5 の領域の酸化膜 4 と N ウェル 20 の領域の酸化膜 9 は同一工程で形成されるので、それらの酸化膜 4、9 の膜厚が等しくなり、その結果、酸化膜 4、9 を除去した後の形状、すなわち、(F) に示される状態において、Lightly-N ウェル 5 の表面高さと、N ウェル 20 の表面高さが等しくなる。

【0095】

図 5 (B) を参照して説明した上記工程 (B)、図 5 (D) を参照して説明した上記工程 (D)、及び図 7 (B) を参照して説明した上記工程 (B) において、不純物を深く拡散させるための窒素雰囲気中での熱処理（以下ドライブ処理という）は処理時間を短くするために 1150℃を超える温度、例えば 1160℃～1180℃の温度で処理するようにしてもよい。

【0096】

図 9 は N 型の深いウェルを形成する場合のドライブ処理条件を 1150℃で2時間（1150℃-2時間）、1180℃で5時間（1180℃-5時間）の2種類の条件で行なったときの不純物濃度プロファイルをシミュレーションした結果を示す図であり、実線は 1180℃-5時間ドライブ、破線は 1150℃-2時間を示す。図 9 において縦軸は不純物濃度 (cm^{-3})、横軸は拡散深さ (μm) を示す。

【0097】

図 9 から、1180℃-5時間のドライブ処理の方が 1150℃-2時間よりも深いウェルを形成できることがわかる。また、それぞれの接合深さは、1150℃-2時間のドライブ処理が $3.2 \mu\text{m}$ 、1180℃-5時間のドライブ処理が $5.8 \mu\text{m}$ である。

【0098】

図 10 は N 型の深いウェルを形成する場合のドライブ処理時間と接合深さの関係を示す図であり、実線は 1180℃のドライブ処理温度、破線は 1150℃のドライブ処理温度を示す。図 10 において、縦軸はウェルの接合深さ (μm)、横軸はドライブ処理時間（時間）を示す。

【0099】

図 10 から、例えば接合深さが $5 \mu\text{m}$ のウェルを形成する場合、ドライブ処理温度が 1150℃の条件では 10 時間程度かかるところ、ドライブ処理温度が 1180℃の条件では約半分の 5 時間程度で形成可能なことがわかる。したがって、処理量に換算すると、1180℃のドライブ処理は 1150℃のドライブ処理に比べて 2 倍の処理量があるといえる。このようなことから、ウェル形成時の熱処理は高い温度での処理で行なうことが好ま

しい。

【0100】

しかし、窒素雰囲気中で1150℃を超える熱処理を行なう場合、シリコン基板表面にイオン注入やエッチングによるダメージ領域が存在すると、図11に示すような放射状結晶欠陥60が発生することがある。図11は窒素雰囲気中で1180℃の熱処理を行なったときに発生した放射状結晶欠陥の顕微鏡写真の模式図である。このように、非酸化性雰囲気での熱処理の温度を1180℃まで上げるとシリコン基板の結晶配列に重大な損傷が生じる。

【0101】

また、窒素雰囲気中で1150℃を超える熱処理を行なう場合、窒素雰囲気中で放射状結晶欠陥が発生しなかった場合でも、後工程での酸化雰囲気中での熱処理時に、図12に示すような直線状結晶欠陥(OSF (Oxidation-induced Stacking Fault) と呼ばれる)62が発生することがある。図12は窒素雰囲気中で1180℃の熱処理を行なったシリコン基板領域において、後工程で200nmの厚い酸化膜を形成した後に発生したOSFの顕微鏡写真の模式図である。

【0102】

表1はドライブ処理温度と結晶欠陥の発生状況の関係を調べた結果を示す。表1において○印は欠陥発生なしを示し、×印は欠陥発生を示す。

なお、表1において結晶欠陥が見られた場合には×印を示しているが、結晶欠陥の発生数はドライブ処理温度が高い方が多かった。

【0103】

【表1】

結晶欠陥の種類	ドライブ処理温度			
	1150℃	1160℃	1170℃	1180℃
放射状結晶欠陥	○	×	×	×
OSF	×	×	×	×

○：欠陥発生なし

×：欠陥発生

【0104】

以上説明したような放射状結晶欠陥とOSFのどちらか一方でも発生すると、そのデバイスはもはや正常には動作しなくなってしまう、半導体製品の歩留りの低下を招くという不具合があった。

【0105】

そこで、窒素雰囲気中で1150℃を超える熱処理を行なう場合には窒素雰囲気中での熱処理の前に、酸化性雰囲気中で温度が例えば800℃～1000℃の条件で熱処理を行なってLightly-Nウエル5, 5a, 5bの表面に膜厚が10～50nmの保護用酸化膜を形成することが好ましい。

【0106】

表2はドライブ処理温度とドライブ処理前に形成した保護用酸化膜厚を変化させたときの結晶欠陥の発生状況の関係を調べた結果を示す。表2において○印は欠陥発生なし、×印は放射線状結晶欠陥及びOSFの両方が発生、△印はOSFのみ発生、－印はデータなしを示す。

【0107】

【表 2】

保護用酸化膜厚	ドライブ処理温度			
	1150℃	1160℃	1170℃	1180℃
0 nm	△	×	×	×
10 nm	○	—	—	○
20 nm	○	—	—	○
30 nm	○	—	—	○
40 nm	○	—	—	○

○：欠陥発生なし

△：OSFのみ発生

×：放射状結晶欠陥及びOSF発生

—：データなし

【0108】

保護用酸化膜を形成しなかった場合（表 2 中、酸化膜厚 0 nm）、ドライブ処理温度が 1150℃以上で OSF が発生し、1160℃以上で放射状結晶欠陥及び OSF が発生することがわかった。これに対し、ドライブ処理前に膜厚が 10～40 nm の保護用酸化膜を形成することにより、ドライブ処理温度を 1180℃に上げてても結晶欠陥が発生しないことがわかった。このことは、ドライブ処理前に保護用酸化膜を形成することにより、化粧欠陥のない良質な、接合深さの深いウエルを短時間で形成可能であることを意味している。なお、表 2 において、ドライブ処理温度が 1160℃及び 1170℃のときの、酸化膜厚が 10～40 nm のデータは示していないが、保護用酸化膜厚が 10～40 nm のときに 1150℃で結晶欠陥が発生していないことから、データを示していない条件でも結晶欠陥は発生しないことが推測できる。

【0109】

また、表 2 のデータから、保護用酸化膜厚が 40 nm よりも厚い場合にも結晶欠陥の発生を防止できることが推測できる。しかし、酸化膜厚が 50 nm よりも厚くなると、後工程で形成する厚い酸化膜が重畳されることでこの部分の酸化膜厚が厚くなりすぎてしまい、最終的に酸化膜を除去したときに基板表面に大きな段差ができてしまう。そこで、保護用酸化膜厚は 50 nm 以下、すなわち 10 nm～50 nm であることが好ましい。

【0110】

以上、接合深さが深いウエルを形成する場合に、ドライブ処理温度を高く、例えば 1150℃よりも高くするときにはドライブ処理前に保護用酸化膜を形成することが好ましいことを説明したが、本発明はこれに限定されるものではなく、例えば 1150℃以下のドライブ処理温度で接合深さが深いウエルを形成する場合にはドライブ処理前に保護用酸化膜を形成しなくてもよい。その場合、ドライブ処理時間は長くなるが、結晶欠陥の発生を防止することができる。

【0111】

以上の実施例において、ウエルの導電型は一例であり、例示のものに限らない。例えば、イオン注入に用いたイオン種を、リンをボロンに、またボロンをリンに置き換えれば、導電型を逆にすることができる。

また、上記の実施例ではシリコン基板表面にシリコン窒化膜を直接形成しているが、本発明はこれに限定されるものではなく、例えば窒化膜に起因する応力や窒化膜をパターニングするためのレジストからの汚染が問題となる場合など、窒化膜形成前にシリコン基板表面にバッファとなる酸化膜を例えば 20 nm の膜厚で形成してもよい。

【図面の簡単な説明】

【0112】

【図 1】半導体装置の第 1 の実施例を示す断面図である。

【図 2】 同実施例の製造方法の一実施例を示す工程断面図である。

【図 3】 同実施例の製造方法の他の実施例を示す工程断面図である。

【図 4】 半導体装置の第 2 の実施例を示す断面図である。

【図 5】 同実施例の製造方法の一実施例を示す工程断面図である。

【図 6】 半導体装置の第 3 の実施例を示す断面図である。

【図 7】 同実施例の製造方法の一実施例の工程の前半部を示す工程断面図である。

【図 8】 同実施例の製造方法の一実施例の工程の後半部を示す工程断面図である。

【図 9】 N 型の深いウエルを形成する場合のドライブ処理条件を 2 種類の条件で行なったときの不純物濃度プロファイルをシミュレーションした結果を示す図であり、実線は 1180℃-5 時間ドライブ、破線は 1150℃-2 時間を示す。

【図 10】 N 型の深いウエルを形成する場合のドライブ処理時間と接合深さの関係を示す図であり、実線は 1180℃のドライブ処理温度、破線は 1150℃のドライブ処理温度を示す。

【図 11】 窒素雰囲気中で 1180℃の熱処理を行なったときに発生した放射状結晶欠陥の顕微鏡写真の模式図である。

【図 12】 窒素雰囲気中で 1180℃の熱処理を行なったシリコン基板領域において、後工程で 200 nm の厚い酸化膜を形成した後に発生した OSF の顕微鏡写真の模式図である。

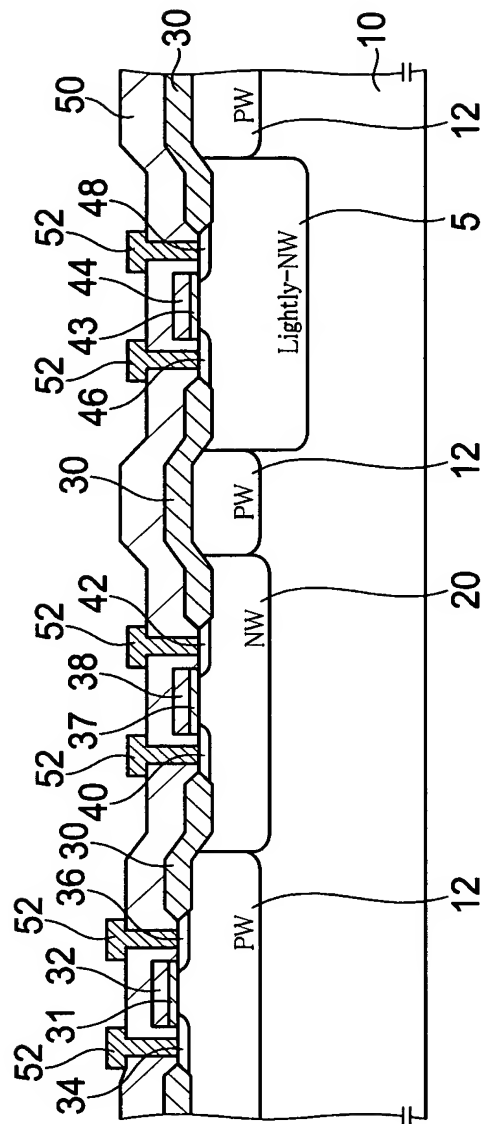
【図 13】 3 種類のウエルを形成する従来方法を示す工程断面図である。

【符号の説明】

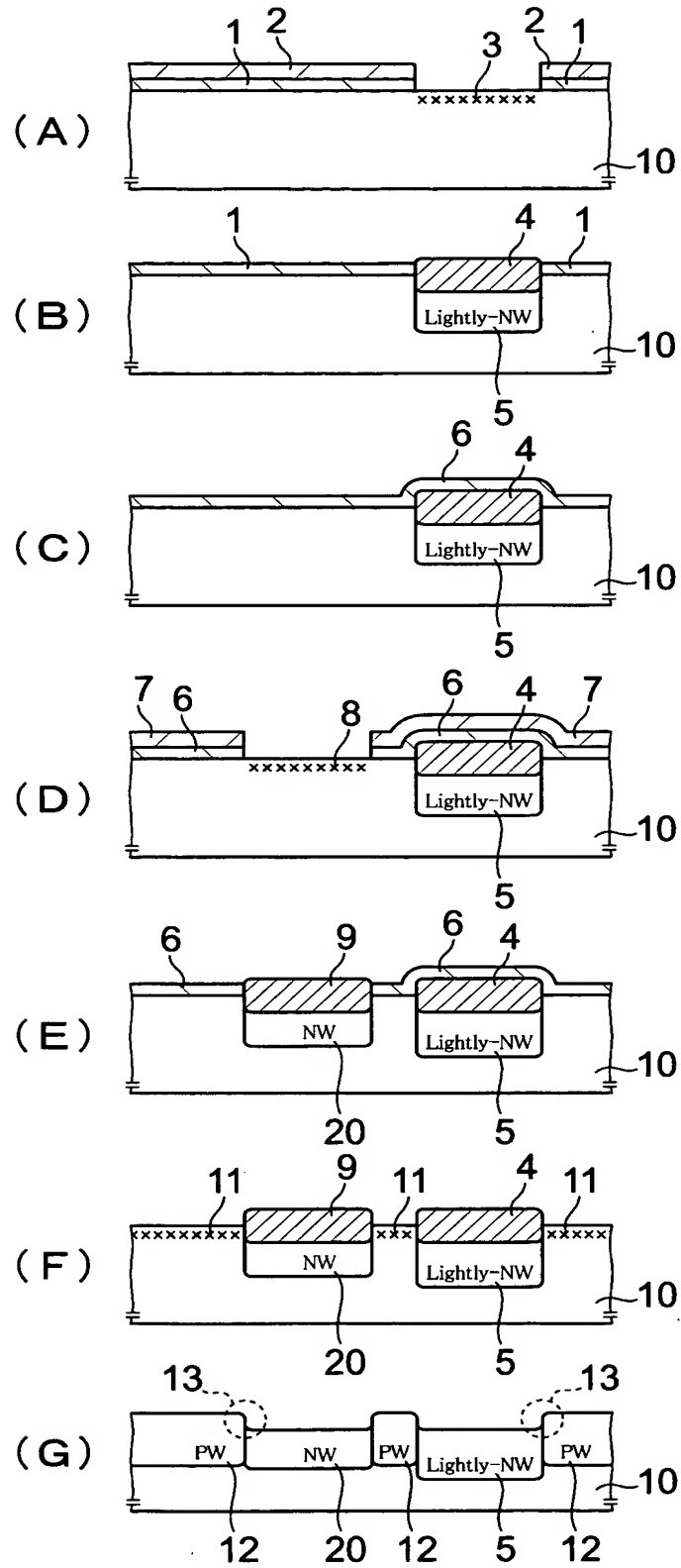
【0113】

1, 6	窒化膜
2, 7, 24	レジストパターン
3, 8	リン
5, 5a, 5b	Lightly-N ウエル
4, 9, 22	酸化膜
10	シリコン基板
11	ボロン
12	P ウエル
20	N ウエル
28	トリプルウエルの I P ウエル
30	フィールド酸化膜
31, 37, 43, 43a, 43b, 53	ゲート酸化膜
32, 38, 44, 44a, 44b, 54	ゲート電極
34	N 型ソース用の拡散層
36	N 型ドレイン用の拡散層
40, 46, 46a, 46b, 56	P 型ソース用の拡散層
42, 48, 48a, 48b, 58	P 型ドレイン用の拡散層
50	層間絶縁膜
52	メタル配線

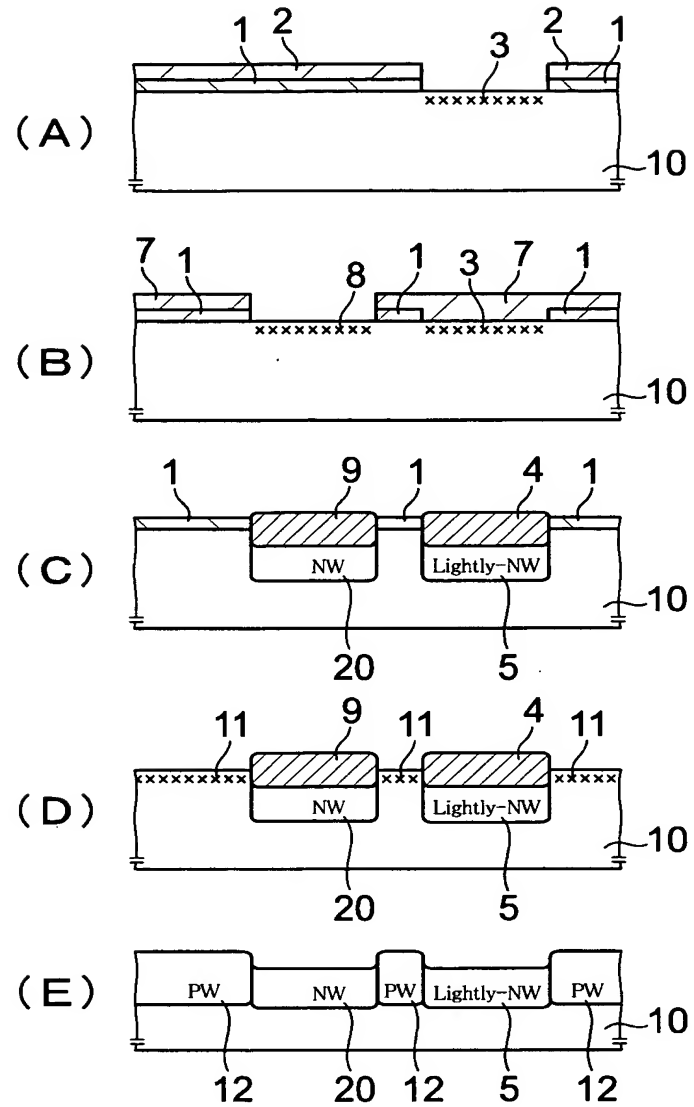
【書類名】 図面
【図 1】



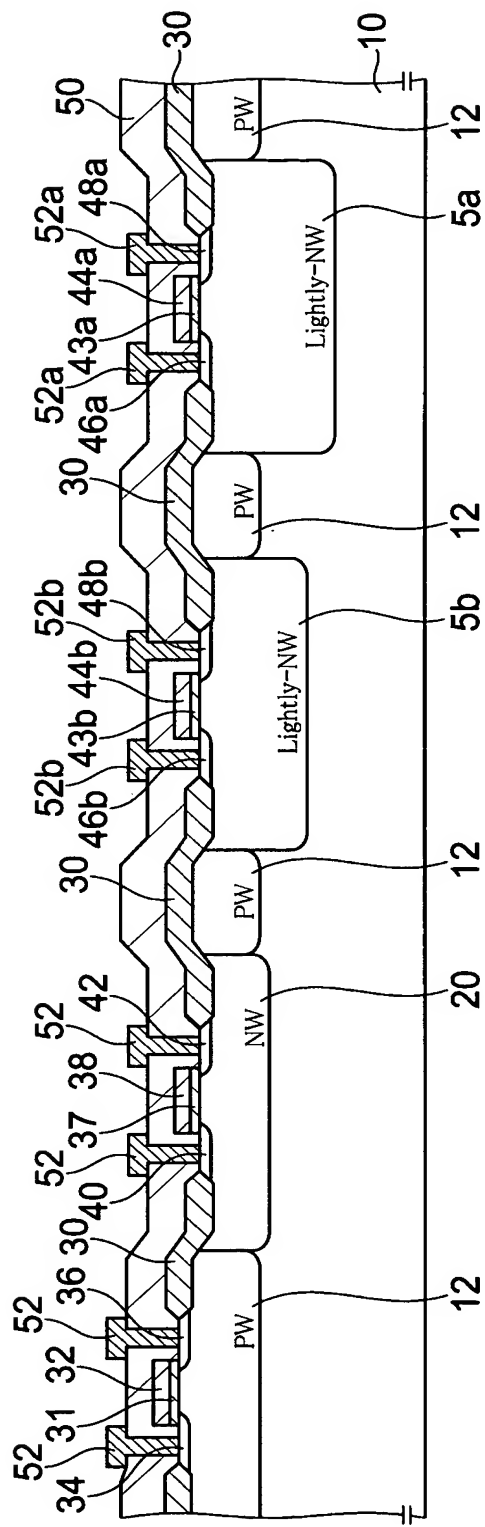
【図 2】



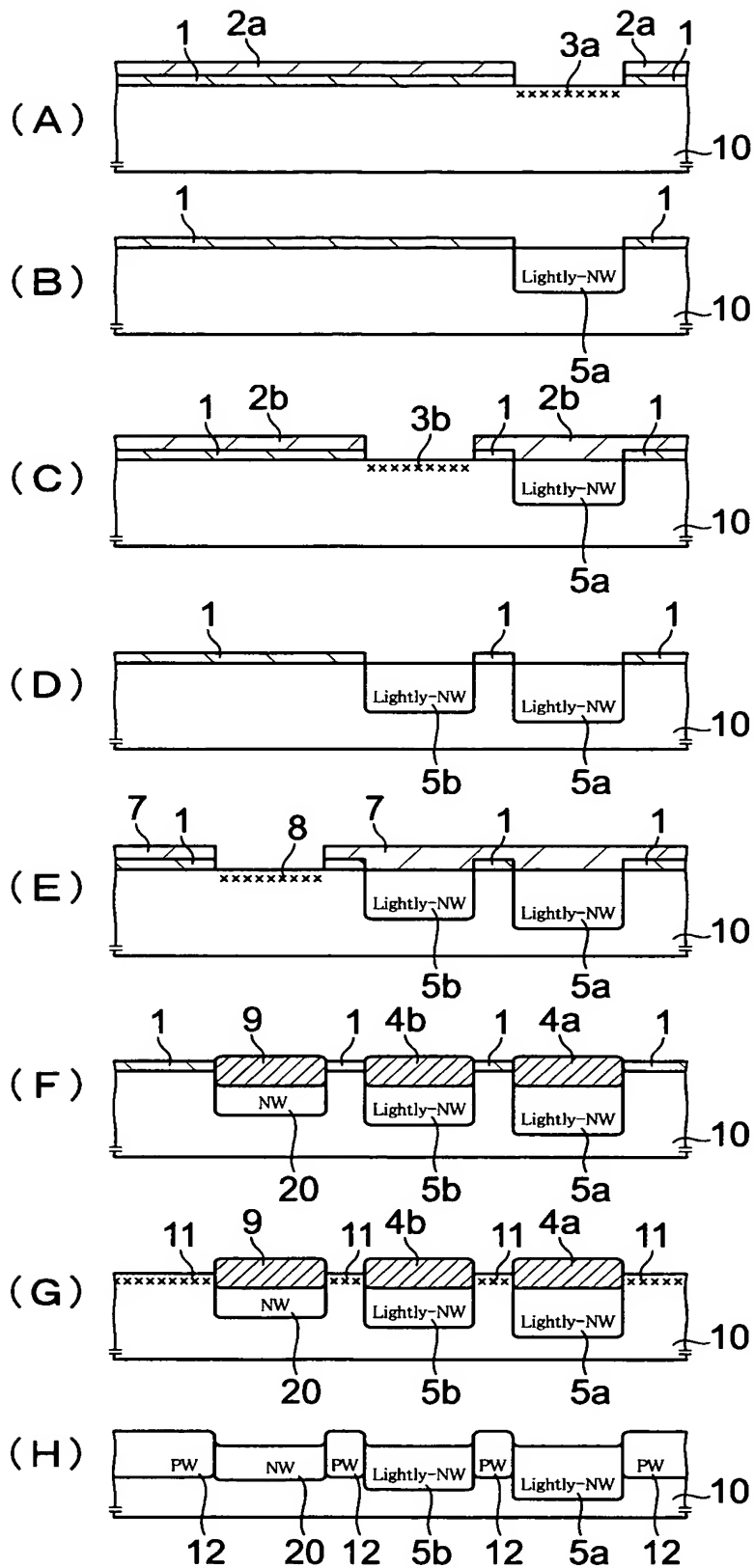
【図 3】



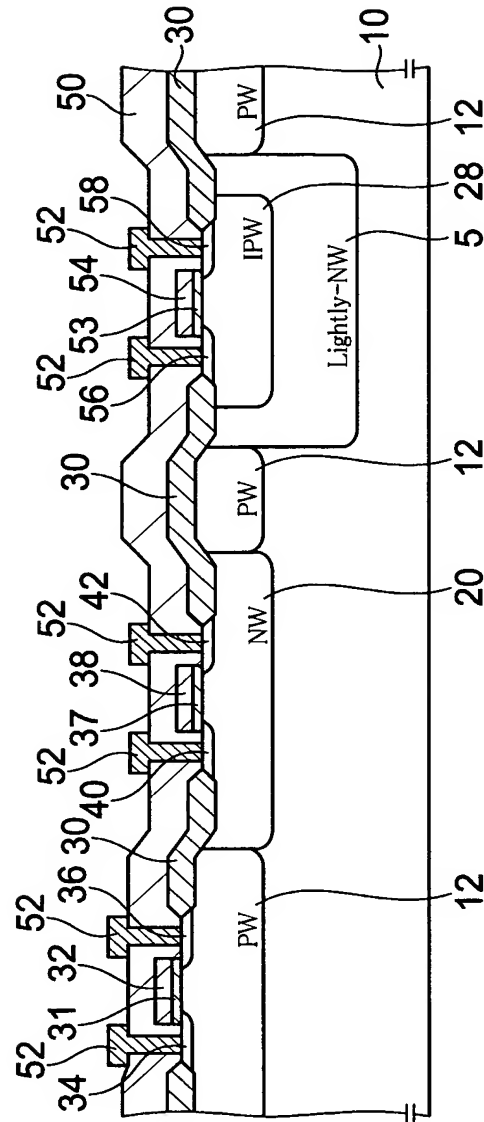
【図 4】



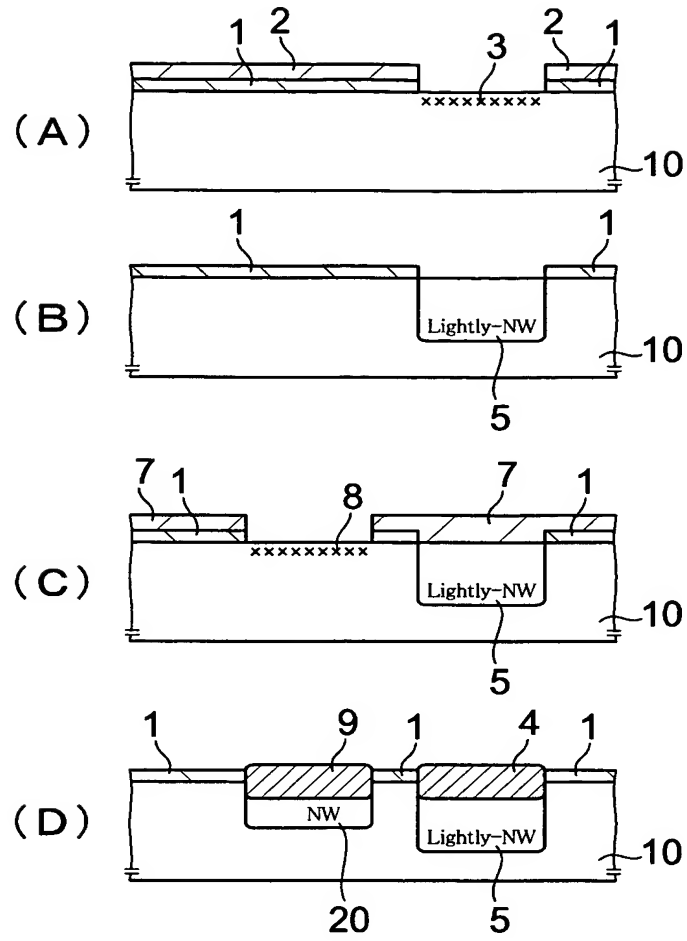
【図 5】



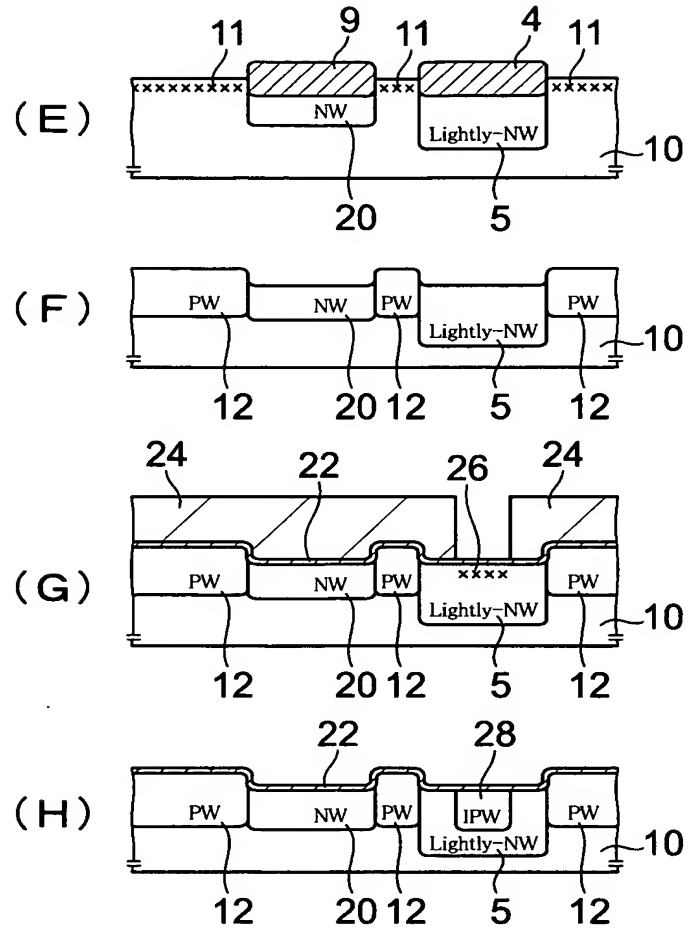
【圖 6】



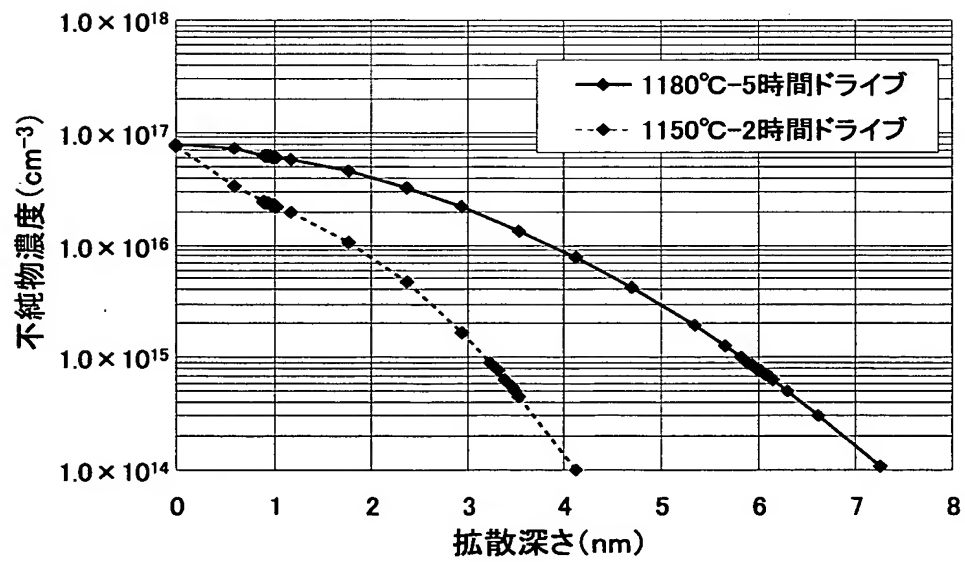
【図 7】



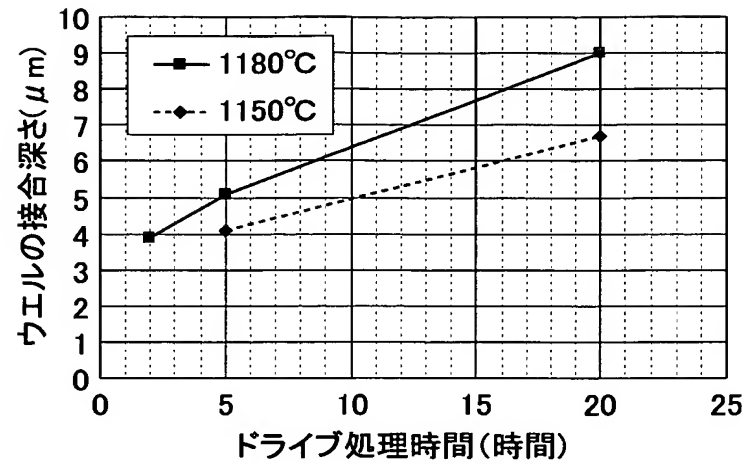
【図 8】



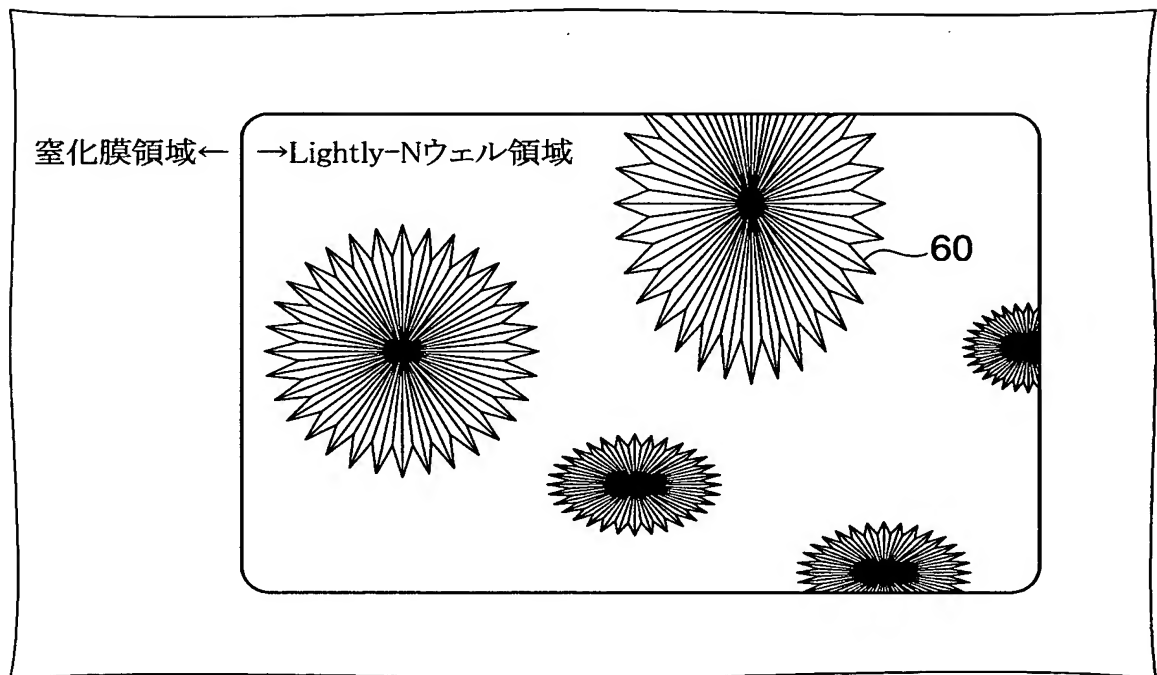
【図 9】



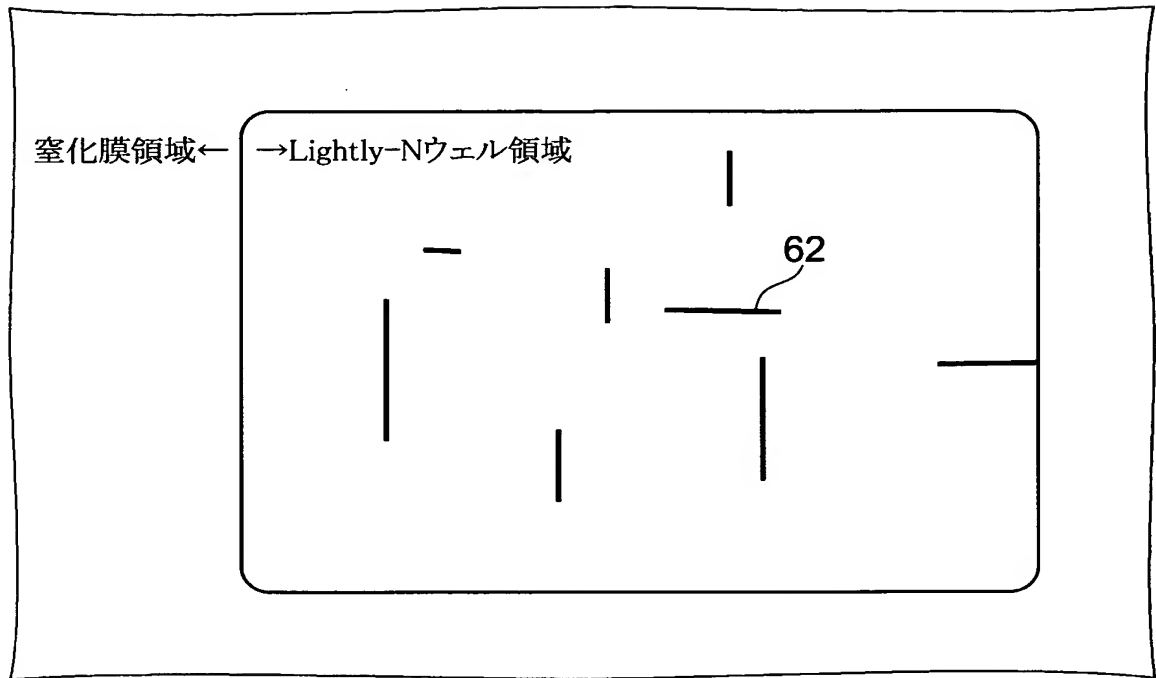
【図 10】



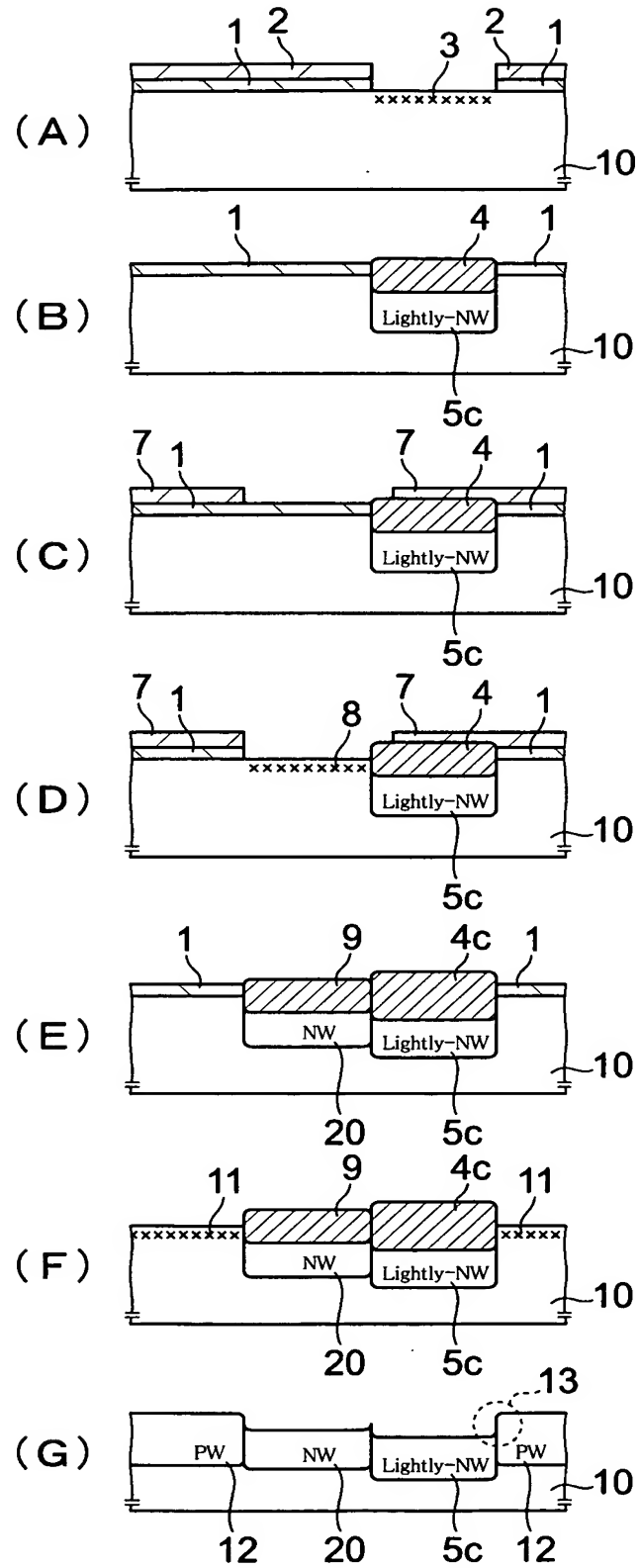
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 段差の小さい 3 種類以上のウエルを少ない製造工程で製造する。

【解決手段】 基板 1 0 に窒化膜 1 を堆積し、写真製版とエッチングにより Lightly-N ウエル領域の窒化膜 1 を除去した後、基板 1 0 にリン 3 をイオン注入し、熱酸化により酸化膜 4 を形成する。窒化膜 1 を除去した後、再度、窒化膜 6 を堆積し、写真製版とエッチングにより N ウエル領域の窒化膜 6 を除去した後、基板 1 0 にリン 8 をイオン注入し、熱酸化により酸化膜 9 を酸化膜 4 と同じ厚さに形成する。窒化膜 6 を除去した後、酸化膜 4, 9 をマスクとして自己整合的にボロン 1 1 をイオン注入し、窒素雰囲気中で熱処理を行なう。酸化膜 4, 9 を除去すると、Lightly-N ウエル 5、N ウエル 2 0、P ウエル 1 2 の 3 つのウエルが完成する。

【選択図】 図 1

特願 2 0 0 3 - 3 7 9 4 0 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 7 4 7]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー